



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

1999年 7月23日

出 願 番 号
Application Number:

平成11年特許願第209314号

出 願 人
Applicant(s):

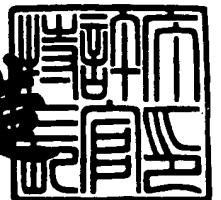
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月31日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 J0075152

【提出日】 平成11年 7月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/04

【発明の名称】 集積回路装置

【請求項の数】 5

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 青木 茂樹

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 上條 治雄

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路装置

【特許請求の範囲】

【請求項 1】 遅延回路を備え入力信号によりワンショットパルスを生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、

前記ワンショットパルス生成回路に備えた遅延回路の入力または出力がパッドに接続されて成ることを特徴とする集積回路装置。

【請求項 2】 入力信号によりワンショットパルスを生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力を入力とし遅延回路を備えたパルス幅可変回路と、前記パルス幅可変回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、

前記パルス幅可変回路に備えた遅延回路の入力または出力がパッドに接続されて成ることを特徴とする集積回路装置。

【請求項 3】 遅延回路を備え入力信号によりワンショットパルスを生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、

定期的に発生する信号を前記ワンショットパルス生成回路に入力することを特徴とする集積回路装置。

【請求項 4】 入力信号によりワンショットパルスを生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力を入力とし遅延回路を備えたパルス幅可変回路と、前記パルス幅可変回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、

定期的に発生する信号を前記ワンショットパルス生成回路に入力することを特徴とする集積回路装置。

【請求項 5】 入力信号によりワンショットパルスを生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力を入力とし遅延回路を備えたパルス幅可変回路と、前記パルス幅可変回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、

前記パルス幅可変回路の出力のパルス幅は、少なくともワンショットパルス生成回路の出力のパルス幅よりも長いことを特徴とする集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、特に集積回路装置に係り、ワンショット・パルス生成回路に関するものである。

【 0 0 0 2 】

【従来の技術】

従来この種の一般的なワンショット・パルス生成回路およびラッチ回路は、集積回路装置に内蔵された抵抗・コンデンサなどの時定数や論理ゲートによる素子遅延を利用してワンショット・パルスを生成し、このパルスをラッチ回路のクロックに使用していた。

【 0 0 0 3 】

従来のワンショット・パルス生成回路とラッチ回路の回路図を図 3 に示し、この図を参照して、動作の説明をする。

【 0 0 0 4 】

NANDゲート 4 4、インバータ 3 6 及び遅延回路 6 3 にて構成されたワンショット・パルス生成回路 1 は、通常“L”レベルであるセット信号 1 0 が“H”となると、ほぼ遅延回路 6 3 の遅延時間分のパルス幅を持つ“L”レベルのパルスが、リセット信号 1 2 として出力される。さらに、前記リセット信号 1 2 が入力されるラッチ回路 2 は、NORゲート 4 5 と NORゲート 4 5 の出力信号を NORゲートの入力に帰還するインバータ 3 7 で構成されている。

【 0 0 0 5 】

ラッチ回路 2 の出力であるラッチデータ 1 3 の電源投入後の状態は、“H” または “L” のどちらかで不定状態となっている。このラッチ回路 2 の初期化のために、前述の “L” レベルのパルスであるリセット信号 1 2 が、ラッチ回路 2 の NAND ゲート 4 5 に入力されると、フューズ端子 2 0 に接続された NAND ゲートの出力 4 5 に、“H” レベルが出力される。インバータ 3 7 により NAND ゲート 4 5 の入力に帰還されたラッチデータ 1 3 は、“L” となる。このため、リセット信号 1 2 が、“L” レベルから “H” レベルになっても、ラッチデータ 1 3 のレベルは、“L” レベルに保持される。すなわち、このラッチ回路 2 に、“L” レベルのリセット信号 1 2 が入力され、ラッチデータ 1 3 が “H” レベルとなったのちには、リセット信号 1 2 が “H” レベル、“L” レベルのどちらであっても、ラッチデータ 1 3 の電圧レベルは、保持される。

【 0 0 0 6 】

また、この図では、フューズ端子 2 0 とグランド間にフューズ 7 2 が接続されている。このフューズ 7 2 は、集積回路装置では、一般的にポリシリコンやアルミニウムなどにより形成される。

【 0 0 0 7 】

フューズは、一般的に検査工程でトリミングした情報などの、IC チップ固有の情報を持たせるために使用される。つまり、集積回路装置が、作り込まれた状態では、フューズ端子 2 0 とグランド間に接続された状態となっているが、検査工程などにおいて、例えば高電圧によるジュール熱により熔断させ、開放状態とする。このため、図 3 に示したフューズ 7 2 は、開放と接続の 2 つの状態をとる。

【 0 0 0 8 】

このフューズ 7 2 がフューズ端子 2 0 とグランド間に接続されている状態で、前述の “L” パルスのリセット信号 1 2 がラッチ回路 2 に入力されると、NAND ゲート 4 5 の出力には、“H” が出力されるが、フューズ 7 2 がフューズ端子 2 0 とグランド間に接続されているため、フューズ端子 2 0 の電圧レベルは、NAND ゲート 4 5 の “H” レベル出力時の出力インピーダンスと、フューズ 7 2

の抵抗値とで分圧された電圧となる。

【0 0 0 9】

ここで、集積回路装置を破壊せずに容易に溶断を行うために、フューズ 7 2 の抵抗値は数百 Ω ～数 K Ω 程度である。フューズ 7 2 が接続されている状態では、電源投入後に不定状態であるラッチ回路 2 のデータを初期化する必要があるので、インバータ 3 7 の入力は、“L” レベルとなる必要があるので、NAND ゲート 4 5 の出力インピーダンスは、フューズ 7 2 の抵抗値と比較して十分に高い値に設定される。

【0 0 1 0】

よって、フューズ端子 2 0 の電圧レベルは、ほぼ “L” レベルとなるため、ラッチデータ 1 3 の電圧レベルは、“H” となる。次に、リセット信号 1 2 のレベルが “H” となっても、ラッチデータ 1 3 は、“H” レベルに保持される。

【0 0 1 1】

上述のように、リセット信号 1 2 に “L” パルスが入力された場合のラッチデータ 1 3 の電圧レベルは、フューズ 7 2 が接続されている状態では “H” レベルとなり、フューズ 7 2 が開放している状態（溶断している状態）では、“L” レベルとなり、それぞれの状態は、ラッチ回路 2 によって保持される。

【0 0 1 2】

この従来の、ワンショット・パルス生成回路 1 とラッチ回路 2 のリセット動作が、上述のようにスムーズに行われる場合には問題がない。しかしながら、ワンショット・パルス生成回路 1 で発生する “L” パルスのパルス幅は、ラッチ回路 2 にレベルを確実に保持できるだけの十分に長い時間がないと、ラッチ回路 2 を初期化することができず、リセット信号 1 2 入力後のラッチデータに、フューズ 7 2 の短絡状態または開放状態に応じた正しい出力を得ることができない。

【0 0 1 3】

また、この図 3 におけるフューズ端子 2 0 は、集積回路装置では、LSI テスターなどによる溶断を行うため、外部端子としてパッドに接続されており、集積回路装置の静電気対策の保護回路の寄生容量または LSI テスターの入出力寄生容量等により、ラッチ回路 2 の動作時間が、より多く必要になる。さらに、ラッ

チ回路 2 の出力として内部で使用されるラッチデータ 1 3 に付加される回路の負荷についても同様の配慮が必要である。

【 0 0 1 4 】

このため、従来は上記の点を考慮した十分なパルス幅を持つのリセット信号を生成していた。

【 0 0 1 5 】

【発明が解決しようとする課題】

しかしながら、リセット信号 1 2 のパルス幅を長くしようとする場合、ワンショット・パルス生成回路 1 の遅延回路 6 3 の遅延時間を決める時定数を大きくする必要があり、近年の集積回路装置の高速化の中においては、遅延用の素子の増加による面積増大などの問題が生じる。

【 0 0 1 6 】

また、フューズ 7 2 が接続状態となっている場合では、リセット信号 1 2 が “L” レベルであると、NAND ゲート 4 5 が出力する “H” レベルが、フューズ 7 2 でグランドに接続されることになる。この状態が長時間続くと、電源電流の増加や、大電流による他の回路部の誤動作などの不具合が生じる。

【 0 0 1 7 】

【課題を解決するための手段】

〔手段 1〕 遅延回路を備え入力信号によりワンショットパルス生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、前記ワンショットパルス生成回路に備えた遅延回路の入力または出力がパッドに接続されて成ることを特徴とする。

【 0 0 1 8 】

〔手段 2〕 入力信号によりワンショットパルス生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力を入力とし遅延回路を備えたパルス幅可変回路と、前記パルス幅可変回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、前記パルス幅可変回路に備えた遅延回路の入力または出力がパッドに接

続されて成ることを特徴とする。

【 0 0 1 9 】

〔手段 3〕 遅延回路を備え入力信号によりワンショットパルス生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、定期的に発生する信号を前記ワンショットパルス生成回路に入力することを特徴とする。

【 0 0 2 0 】

〔手段 4〕 入力信号によりワンショットパルス生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力を入力とし遅延回路を備えたパルス幅可変回路と、前記パルス幅可変回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、定期的に発生する信号を前記ワンショットパルス生成回路に入力することを特徴とする。

【 0 0 2 1 】

〔手段 5〕 入力信号によりワンショットパルス生成するワンショットパルス生成回路と、前記ワンショットパルス生成回路の出力を入力とし遅延回路を備えたパルス幅可変回路と、前記パルス幅可変回路の出力により初期化が行われる手段を備え出力がパッドに接続されているラッチ回路とを備えた集積回路装置において、前記パルス幅可変回路の出力のパルス幅は、少なくともワンショットパルス生成回路の出力のパルス幅よりも長いことを特徴とする。

【 0 0 2 2 】

【発明の実施の形態】

本発明の実施例 2 つを図 1 と図 2 に示し、以下に説明をする。

【 0 0 2 3 】

まず、図 1 に示す本発明の実施例の一例では、NAND ゲート 4 0、インバータ 3 0 及び遅延回路 6 0 によるワンショット・パルス生成回路 1 と、NAND ゲート 4 1 と保持用のインバータ 3 1 で構成されるラッチ回路 2 で構成される。ここで、ワンショット・パルス発生回路 1 の遅延回路の出力は、フューズ端子 2 0

と同様に、遅延用端子 2 1 として外部端子としてパッドに接続される。ここで遅延用端子 2 0 に接続されるのは、インバータ 3 0 の出力としてもよい。

【 0 0 2 4 】

ワンショット・パルス生成回路 1 には、セット信号 1 0 が入力され、このセット信号 1 0 の立ち上がりで、遅延回路 6 0 の遅延量のパルス幅を持つリセット信号 1 2 が生成され、このリセット信号 1 2 は、ラッチ回路 2 の入力となる

さらに、このラッチ回路 2 の出力は、外部端子としてパッドに接続されるフューズ端子 2 0 に接続される。また、ラッチデータ 1 3 は、フューズ 7 0 が接続または開放の状態を表す。

【 0 0 2 5 】

図 1 の回路図では、遅延回路 6 0 の出力を遅延用端子 2 1 として、外部端子とに出力している。このため、遅延回路 6 0 の遅延時間に加えて、遅延用端子 2 1 に付加された静電気保護回路の寄生容量や負荷容量を遅延用の時定数として使用できるので、遅延用の素子を集積回路内に追加することなく、リセット信号 1 2 のパルス幅を広げることができる。

【 0 0 2 6 】

次に図 1 の回路の動作を、図 6 のタイミングチャートを用いて説明する。

【 0 0 2 7 】

セット信号 1 0 が、ワンショット・パルス生成回路 1 に入力された場合、c の区間 “L” レベルであるリセット信号 1 2 がラッチ回路 2 に出力される。ここで、フューズ 7 0 が既に溶断されて開放されている状態では、フューズ端子 2 0 とラッチデータ 1 3 の電圧レベルは、図中の時間軸に対して、実線にて示す電圧の変化を示す。

【 0 0 2 8 】

しかし、リセット信号 1 2 の “L” パルス幅がラッチ回路 2 の動作時間よりも短い場合、もしくはフューズ端子 2 0 の負荷容量等の時定数がラッチ回路 2 の動作時間に対して無視できないような値となっている場合、フューズ端子 2 0 とラッチデータ 1 3 の電圧レベルの変化は、図中の点線に示すごとく変化する。つまりリセット信号 1 2 の c 期間中に、フューズ端子 2 0 の電圧レベルが “H” に変

化することができず、ラッチデータ 1 3 の電圧レベルが “H” のままとなる。したがって、フューズ 7 0 が開放状態となっているにもかかわらず、ラッチデータ 1 3 にはフューズの接続をあらわす “H” レベルが出力されてしまっている。

【0 0 2 9】

これに対して、図 1 の実施例では、遅延用端子 2 1 にフューズ端子 2 0 と同等の負荷を接続すれば、図 6 のタイミングチャート中の c の区間に出力されるリセット信号 1 2 の “L” パルス幅をラッチ回路 2 の動作時間に比例して長くすることができるので、前述の誤動作を回避することができる。

【0 0 3 0】

ここで、上記の説明に挙げた寄生容量、負荷容量と端子に出力するゲートの出力抵抗について、以下に詳細な説明をする。

【0 0 3 1】

まず外部端子の寄生容量を例にとり説明をする。CMOS の静電気保護回路の代表例を図 7 と図 8 に二つの例を示す。

【0 0 3 2】

集積回路装置は、きわめて微細なルールにて製造されているため、外部からの静電気に対する保護回路が必須である。図 7 は、GCD (Gate Controlled Diode) を用いた静電気保護回路の一例であり、高濃度の拡散等による保護抵抗と、必要十分な静電気耐圧を得るために、一般的に数百 μm 程度の大きな W を持つトランジスタにより構成されている。ここで、保護トランジスタの寄生容量 (シリコン上の半導体でのジャンクション容量) である寄生容量 C は、印可される電圧並びにウェハ中アクセプタ濃度等をパラメータとした以下の計算式により算出される。

【0 0 3 3】

【数 1】

$$C = \sqrt{\frac{\epsilon_{Si} \cdot \epsilon_0 \cdot q \cdot N_D}{2|V_A + V_B|}}$$

【0034】

この計算式をもとに寄生容量 C を算出すると、3V印可時における容量は、一般的に $0.01 \sim 0.05 \text{ pF} / \text{mm}^2$ 程度である。この定数をもとに、 $W = 500 \text{ } \mu\text{m}$ であるGCDの寄生容量を計算すると、ドレイン面積を $500 \text{ } \mu\text{m} \times 3 \text{ } \mu\text{m}$ と仮定すれば、約 $0.01 \sim 0.05 \text{ pF}$ となる。この値は、集積回路の製造工程のばらつき等により変動するものであり、集積回路装置の開発・設計時において、寄生容量の定量値やばらつきの値を得るのは困難となっており、動作に影響する場合には回路的な工夫が必要となっている。よって、集積回路装置を $10 \text{ MHz} \sim 100 \text{ MHz}$ の高速で動作させる場合、つまりリセット信号のパルス幅が、数十 $\text{ns} \sim$ 数百 ns 程度の値である場合、この寄生容量が時定数として無視できない。さらに、半導体プロセスは年々微細化が進み、静電気保護回路は、より大きなものが要求され、この寄生容量についても大きなものとなっている。

【0035】

さらに、静電気保護回路のもう一つの例である図8にダイオードを用いた静電気保護回路においても、ダイオード100, 101の面積は、数百 μm^2 の大きな面積が必要とされており、図7と同様に高速動作の際の寄生容量が無視できないものである。

【0036】

次に、外部端子に接続される負荷容量について説明をする。

【0037】

図1に示す実施例では、集積回路装置のトリミング用として、フューズ70、及びにフューズ端子20が設けられている。このフューズは、例えばポリシリコンにより集積回路装置上に形成され、集積回路装置の検査工程において、LSIテスターによる電流印可または電圧印可などの方法によって溶断を行うものであり、一般的に広く用いられている。ここで、検査工程においてフューズ端子20は、LSIテスターによりプロービングされるので、LSIテスターの入出力容量である一般的に $10 \text{ pF} \sim 100 \text{ pF}$ 程度の負荷容量が付加されるが、この場合も誤動作しないことが要求される。

【0038】

次に、フューズ端子の出力インピーダンスについて説明をする。

【0039】

また、図1の実施例において、集積回路装置を破壊せずに容易に溶断を行うためのフューズ70の抵抗値は、一般的に数百Ω～数KΩ程度である。この抵抗値を持つフューズ70が接続されている状態で、ラッチ回路2のNANDゲート41の出力に“H”レベルが出力されている場合には、ラッチ回路2のインバータ31の入力であるフューズ端子の電圧レベルは、電源投入後に不定状態であるラッチ回路2のデータを初期化する必要があるので、“L”レベルとならなければならない。このため、NANDゲート41の出力インピーダンスは、フューズの抵抗値と比較して十分に高い値に設定されなければならない。このため、C（容量）・R（抵抗値）で表される時定数 τ のうちの抵抗値が大きくなってしまいうので、前述の寄生容量が変化したときの時定数の変化の絶対量が大きくなる。

【0040】

上記のように本実施例は、これらを考慮しても安定動作できるように構成されたものである。

【0041】

次に、図2に本発明の第二の実施例を示し説明をする。この例は、ワンショット・パルス生成回路の出力であるセットパルスが、集積回路装置の他の回路部で使用される例を示す。

【0042】

集積回路装置は、高度な処理のために高速化の要求があるので、プロセスの進歩とともに回路技術による高速化の手段も必要になっている。図2のワンショット・パルス生成回路1は、これらの状況を鑑みて実現されたものである。以下に、図2を参照しながら、構成並びに動作の説明をする。

【0043】

図1と同様に構成されたワンショット・パルス生成回路1の出力であるセットパルス11は、集積回路装置内の他の回路ブロックで使用されるとともに、パルス幅可変回路3に入力される。このパルス幅可変回路3は、NORゲート50、

5 0 で構成される R S ラッチと、遅延回路 6 2 とインバータ 3 4 にて構成される。このパルス幅可変回路 3 の遅延回路 6 1 の出力は、遅延用端子 2 1 として、外部端子としてパッドから出力される。

【 0 0 4 4 】

パルス幅可変回路 3 の出力は、図 1 と同様の構成のラッチ回路 2 に出力される。このラッチ回路 2 の出力は、フューズ端子 2 0 として外部に出力され、さらにラッチ回路 2 のデータは、図 1 と同様にラッチデータ 1 3 として出力され、内部回路で使用される。

【 0 0 4 5 】

次に、図 2 に示す実施例の動作を、図 4 のタイミングチャートを用いて、詳細に説明する。

【 0 0 4 6 】

まず、ワンショット・パルス生成回路 1 に入力されるセット信号 1 0 が、“L” レベルから “H” レベルになると、ワンショット・パルス生成回路 1 の遅延回路 6 1 によってパルス幅の決まる “L” パルスのセットパルス 1 1 が出力される。図 4 のタイミングチャートでは、a の期間の “L” レベルが、このセットパルスのパルス幅を示す。

【 0 0 4 7 】

ここで、“L” レベルが入力されたパルス幅可変回路 3 は、リセット信号 1 2 として “L” レベルのパルスを出力する。ラッチ回路 2 の電源投入後の状態は不定であるので、リセット信号 1 2 の “L” パルスによって初期化される。パルス幅可変回路 3 から出力されるリセット信号 1 2 のパルス幅は、パルス幅可変回路 3 の遅延回路 6 2、及び遅延用端子 2 1 に接続される負荷によって決められる。図 4 のタイミングチャートでは、b の期間の “L” レベルがこのリセット信号 1 2 のパルス幅を示す。前述したように、高速性を要求されている近年の集積回路装置は、高速動作のために内部の負荷が小さく抑えられている。しかし、前述したように端子の寄生容量については、前述したように集積回路装置の内部と比較して非常に大きなものとなっている。

【0048】

これらを、図2の回路図と図4のタイミングチャートを用いて説明をする。

【0049】

ワンショット・パルス発生回路1に入力されるセット信号10が“L”レベルから“H”レベルに変化することにより、aの期間中“L”レベルのセットパルス11が出力される。さらに、セットパルス11を入力とするパルス幅可変回路3は、“L”レベルのセットパルス11が入力されると、遅延回路62と遅延用端子21に接続された上記に説明した寄生容量と負荷容量を時定数の一部として、bの期間の“L”レベルであるリセット信号12を発生する。ここで、これまでに説明したように、集積回路装置内部の負荷よりも、遅延用端子21を一例とする外部端子の負荷の方が大きい、言い換えると図2の実施例では、図4のタイミングチャートのa期間で示されるセットパルス11の幅と比較して、b期間で示されるリセット信号12のパルス幅の方が長くなる。

【0050】

以上のように、高速性の要求される集積回路装置の内部回路は、ワンショット・パルス生成回路1の出力であるセットパルス11で動作させ、負荷の大きな外部端子の部分は、端子に付加される寄生付加及び外部負荷を利用したパルス幅可変回路3を用いて、パルス幅を広げることができる。このことから、それぞれの負荷に応じた好適なパルス幅を生成できることで、高速性を維持しつつも、安定した動作を実現することができる。

【0051】

さらに、電流という観点で、図2の回路図と図5のタイミングチャートを用いて、説明をする。

【0052】

リセット信号12に“L”レベルが入力されると、ラッチ回路2のNANDゲート43に“H”レベルが出力されるので、NANDゲート43の出力がフューズを介してグラウンドに接続されることになる。この期間は、図5のタイミングチャートのbの区間で示される。この状態では、ロジック電源である例えばVCCからNANDゲートの出力、フューズ、グラウンドという電流経路が存在している

。電源電流の低減や他の回路ブロックの誤動作防止という観点からすると、この電流経路に電流を流れる時間を、出来るだけ短くすることが望ましい。しかし、前述の寄生容量・負荷容量の影響から動作に必要な十分な長いリセット信号 1 2 が必要である。

【 0 0 5 3 】

ここで、本発明の実施例である図 2 では、遅延用端子 2 1 を設けているので、パルス幅可変回路 3 が、この端子の負荷容量を利用してパルス幅を長くすることができる。また、機器に搭載された状態では、検査工程のみで使用されるフューズ端子 2 0 や遅延用端子 2 1 は、外部接続されずに開放状態となっているので、外部に付加される容量はほとんどない。この場合のパルス幅可変回路 3 から出力されるリセット信号の“L”パルス幅は、遅延回路 6 2 と遅延用端子 2 1 に接続される寄生容量によってのみ決まる。

【 0 0 5 4 】

したがって、外部負荷が接続されていない状態で確実にラッチ回路 2 にデータをラッチできるリセット信号 1 2 のパルス幅を必要最低限に設定すれば、集積回路装置の検査工程において、遅延用端子 2 0 及びフューズ端子 2 1 に L S I テスターの負荷容量が付加された場合においても、ラッチ回路 2 の安定動作を得ることができる。

【 0 0 5 5 】

すなわち、機器に組み込まれた状態での通常動作においては、最低限のリセット信号 1 2 のパルス幅で動作することで、リセット信号 1 2 が“L”レベルの状態で電流が流れる時間を最低限に抑えることができ、なおかつ、L S I テスターを使用した検査工程においても、ラッチ回路 2 の安定した動作を得ることができる。

【 0 0 5 6 】

また、例えば図 1、図 2 に示す外部端子としてのフューズ端子 2 0 を設けた場合には、動作中に端子から回り込んだ静電気などのノイズ等の影響を受けやすい。このノイズによる誤動作でラッチ回路 2 のデータが変わってしまうと、次にリセット信号 1 2 の“L”パルスが入力されるまでは、ラッチデータが正常ではな

い値となってしまう機器の誤動作を招き、セット信号 1 0 に機器のパワーオンリセット信号を利用している場合には、電源を再投入しなければならない。

【 0 0 5 7 】

この現象に対して、マイクロコントローラなどにより、セット信号 1 0 を定期的にワンショット・パルス生成回路に入力して、ラッチ回路 2 の初期化を行うということが可能になる。この際にも図 2 のリセット信号 1 2 が “L” である期間の長さを、機器における最適な値に設定することができるので、フューズが接続している状態で電流が流れている時間を、必要最低限に抑えることができる。この場合、マイクロコントローラのプログラムが走行している限り出力されている信号、例えばのライト信号またはリード信号を、セット信号に接続すれば、ソフトウェアの負担がない。

【 0 0 5 8 】

さらに、マイクロコントローラから定期的書き込まれるコマンドにより、セット信号が発生するようにしても、同様のことが可能である。

【 0 0 5 9 】

【発明の効果】

以上に説明したように、本発明の集積回路装置に係る、ワンショット・パルス生成回路及びラッチ回路は、端子の寄生容量・負荷容量に応じてパルス幅を可変する手段を備えることにより、I C の検査時に L S I テスター等により付加される外部付加容量等の負荷がある場合と、通常動作時において外部負荷がない場合の双方において、それぞれの負荷に応じた好適な動作パルスを発生でき、安定した動作ができる。

【 0 0 6 0 】

なおかつ、フューズが接続されている場合には、リセット信号が入力された場合の直流電流の流れる時間を、必要最低限に抑えることが可能となる。

【 0 0 6 1 】

このことにより、機器のリセット時だけではなく、例えばマイクロコントローラから定期的に入力される例えばライト信号などの任意の信号をセット信号として入力すれば、電流が流れている時間を必要最小限に抑えた状態で、ラッチ回路

のリフレッシュを行うことができる。

【図面の簡単な説明】

【図 1】 図 1 は本発明の集積回路装置の第一の実施例を示す回路図である。

【図 2】 図 2 は本発明の集積回路装置の第二の実施例を示す回路図である。

【図 3】 図 3 は従来の集積回路装置を示す回路図である。

【図 4】 図 4 は本発明の第二の実施例の動作を示す第一のタイミングチャートである。

【図 5】 図 5 は本発明の第二の実施例の動作を示す第二のタイミングチャートである。

【図 6】 図 6 は本発明の第一の実施例の動作を示すタイミングチャートである。

【図 7】 図 7 は静電気保護回路の第一の具体的な構成を示す回路図である。

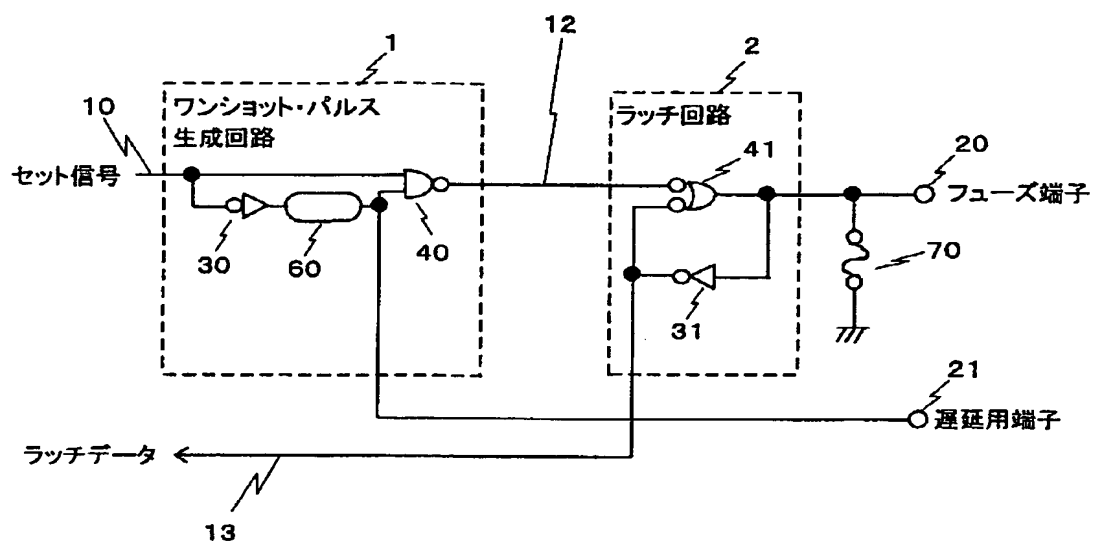
【図 8】 図 8 は静電気保護回路の第二の具体的な構成を示す回路図である。

【符号の説明】

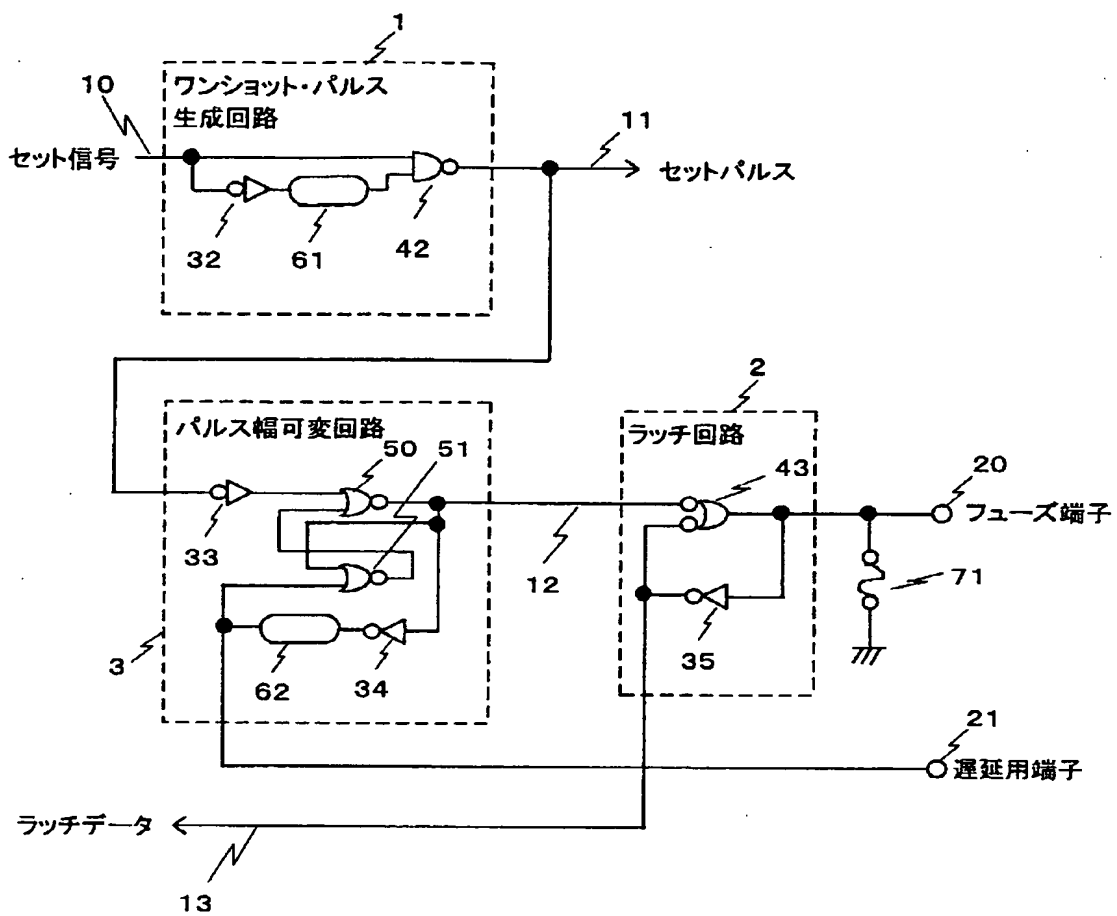
1 ワンショット・パルス生成回路、 2 ラッチ回路、 3 パルス幅可変回路、 10 セット信号、 11 セットパルス、 12 リセット信号、 13 ラッチデータ、 20 フューズ端子、 21 遅延用端子、 22 入出力端子、 30, 31, 32, 33, 34, 35, 36, 37 インバータ、 40, 41, 42, 43, 44, 45 NANDゲート、 50, 51 NORゲート、 60, 61, 62, 63 遅延回路、 70, 71, 72 フューズ、 80 P型MOSトランジスタ、 81 N型MOSトランジスタ、 90, 91, 92, 93 抵抗素子、 100, 101 ダイオード

【書類名】 図面

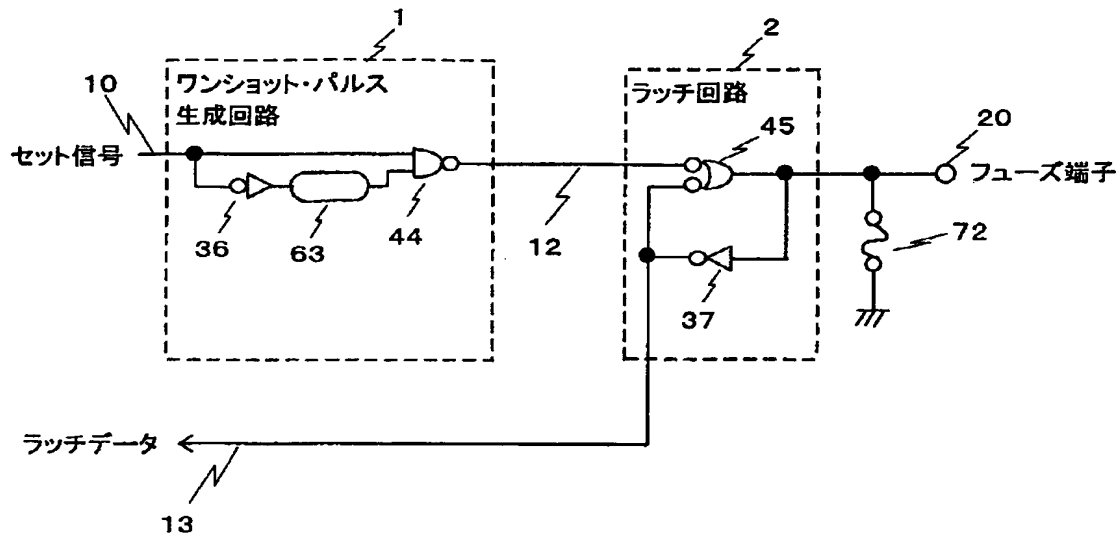
【図 1】



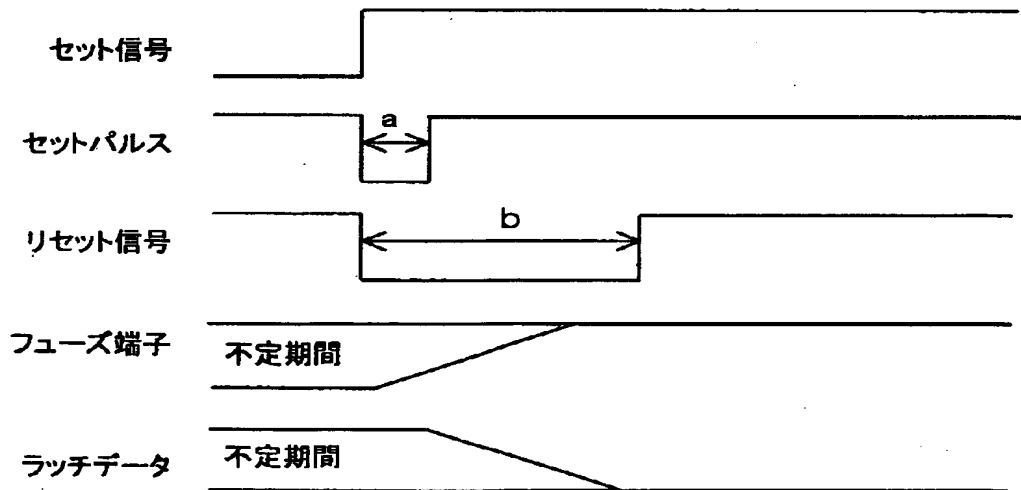
【図 2】



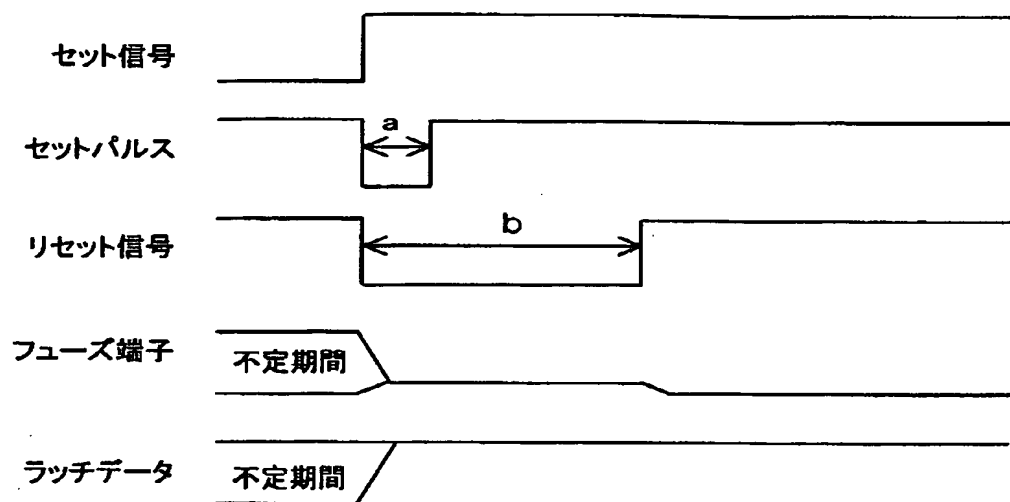
【図 3】



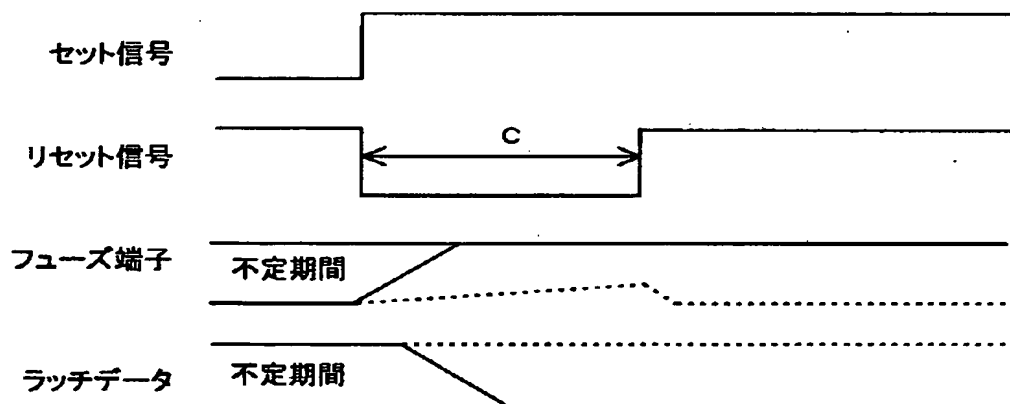
【図 4】



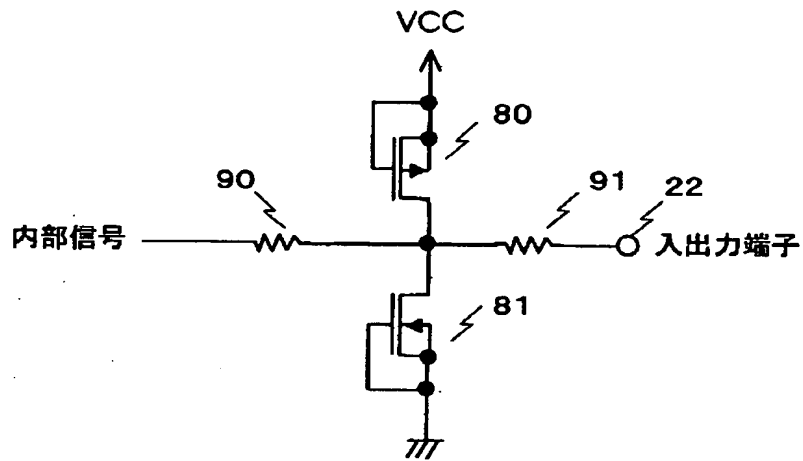
【図 5】



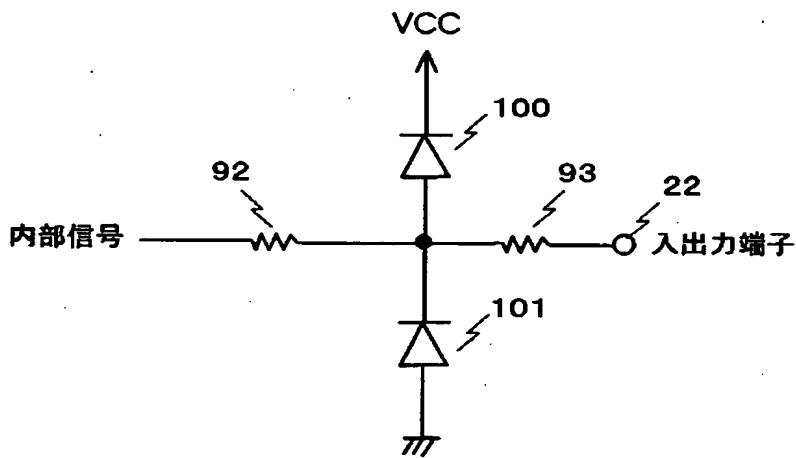
【図 6】



【图 7】



【图 8】



【書類名】 要約書

【要約】

【課題】 集積回路装置のワンショット・パルス生成回路及びラッチ回路で、外部端子の負荷変動がある場合でも安定した動作を実現し、電流が流れる時間を削減し、高速動作を実現する。

【解決手段】 ワンショット・パルス生成回路 1 の出力を入力信号とするパルス幅可変回路 3 に、遅延用端子 2 1 の寄生容量または負荷容量を時定数の一部としパルス幅を可変する手段を持つ。

【効果】 外部端子の負荷変動がある場合でも安定した動作を実現し、電流が流れる時間を削減し、高速動作が実現できる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社